

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-123139

(P2000-123139A)

(43) 公開日 平成12年4月28日 (2000. 4. 28)

(51) Int.Cl.<sup>7</sup>

G 0 6 K 19/07

識別記号

F I

G 0 6 K 19/00

テーマコード(参考)

H 5 B 0 3 5

J

N

審査請求 未請求 請求項の数13 O L (全 14 頁)

(21) 出願番号 特願平10-298943

(22) 出願日 平成10年10月20日 (1998. 10. 20)

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 秋山 知哉

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5B035 A400 AA13 BA03 BB02 BB09

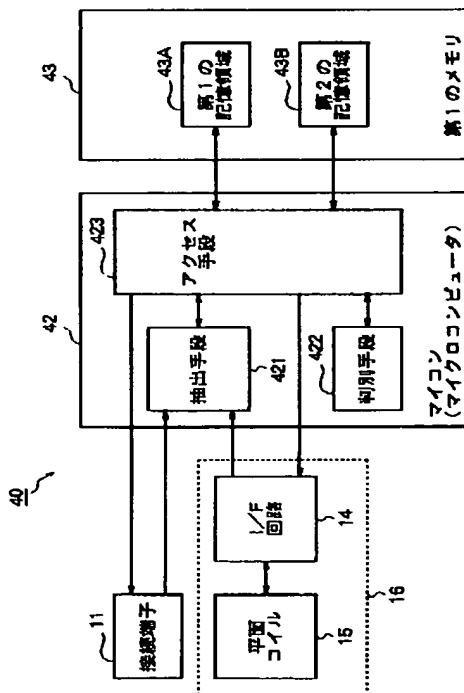
BC00 BC03 CA25 CA29 CA39

(54) 【発明の名称】 ICカード

(57) 【要約】

【課題】 接触型ICカードと非接触型ICカードの両機能を併せ持つICカードであって、セキュリティ性を高めることができるICカードを提供する。

【解決手段】 ICカード40の判別手段422は、外部装置との通信が接続端子11を介する第1の通信であるか検出手段16を介する第2の通信であるか判別する。第1のメモリ43は、第1の記憶領域43Aと、第1の記憶領域43Aとは別個の記憶領域である第2の記憶領域43Bとを有する。抽出手段421は、検出手段16および接続端子11からの信号を入力し、第1のメモリ43にアクセスするコマンドを示す送信コマンドを抽出する。アクセス手段423は、判別手段422の判別結果と前記送信コマンドとに基づいて第1のメモリ43の第1と第2の記憶領域の何れか一方にアクセスする。判別手段422とアクセス手段423と抽出手段421とをマイクロコンピュータ42により構成する。



## 【特許請求の範囲】

【請求項1】第1のカード処理装置の端子から送信信号が供給される接続端子と、

第2のカード処理装置からの電磁波からなる送信信号を検出する検出手段と、

外部装置との通信が前記接続端子を介する第1の通信であるか前記検出手段を介する第2の通信であるかの判別を行う判別手段と、

前記第1のカード処理装置からアクセス可能な第1の記憶領域と前記第1の記憶領域とは別個の記憶領域であって前記第2のカード処理装置からアクセス可能な第2の記憶領域とを有する第1のメモリと、

前記検出手段からの信号と前記接続端子からの信号とを入力し、前記第1のメモリにアクセスするコマンドを示す送信コマンドを抽出する抽出手段と、

前記判別手段の判別結果と前記送信コマンドとに基づいて前記第1のメモリの前記第1または第2の記憶領域にアクセスするアクセス手段とを有し、

少なくとも前記アクセス手段と前記抽出手段とをマイクロコンピュータにより構成したICカード。

【請求項2】前記マイクロコンピュータは、前記判別結果が前記第1の通信を示す場合は、前記送信コマンドを、前記第1のメモリの前記第1および第2の記憶領域のうちでは第1の記憶領域にのみアクセスする第1のコマンドに変換し、

前記判別結果が前記第2の通信を示す場合は、前記送信コマンドを、前記第1のメモリの前記第1および第2の記憶領域のうちでは第2の記憶領域にのみアクセスする第2のコマンドに変換する請求項1記載のICカード。

【請求項3】前記マイクロコンピュータは、前記第1のコマンドを実行するプログラムを格納する第1のプログラム格納領域と前記第1のプログラム格納領域とは別個の格納領域であって前記第2のコマンドを実行するプログラムを格納する第2のプログラム格納領域とを備えた第2のメモリと、前記第2のメモリに格納されたプログラムを実行する中央処理装置とを有しており、

前記マイクロコンピュータの中央処理装置は、前記判別結果が前記第1の通信を示す場合は、前記第2のメモリの前記第1および第2のプログラム格納領域のうちでは第1のプログラム格納領域にのみアクセスして前記第1のコマンドを実行し、

前記判別結果が前記第2の通信を示す場合は、前記第2のメモリの前記第1および第2のプログラム格納領域のうちでは第2のプログラム格納領域にのみアクセスして前記第2のコマンドを実行する請求項2記載のICカード。

【請求項4】前記マイクロコンピュータは、前記送信信号中に含まれる前記第1のメモリへのアクセスアドレスが前記第1と第2の記憶領域のうち何れに対

応するかを検出し、

前記判別結果が前記第1の通信を示す場合は、前記アクセスアドレスが前記第1の記憶領域に対応するときに、前記第1の記憶領域にアクセスし、

前記判別結果が前記第2の通信を示す場合は、前記アクセスアドレスが前記第2の記憶領域に対応するときに、前記第2の記憶領域にアクセスする請求項1記載のICカード。

【請求項5】第1のカード処理装置の端子から送信信号が供給される接続端子と、

第2のカード処理装置からの電磁波からなる送信信号を検出する検出手段と、

外部装置との通信が前記接続端子を介する第1の通信であるか前記検出手段を介する第2の通信であるかの判別を行う判別手段と、

前記第1のカード処理装置からアクセス可能な第1の記憶領域と、前記第1の記憶領域とは別個の記憶領域であって前記第2のカード処理装置からアクセス可能な第2の記憶領域と、前記第1および第2の記憶領域とは別個

の記憶領域であって前記第1のカード処理装置と前記第2のカード処理装置とからアクセス可能な第3の記憶領域とを有する第3のメモリと、

前記検出手段からの信号と前記接続端子からの信号とを入力し、前記第3のメモリにアクセスするコマンドを示す送信コマンドを抽出する抽出手段と、

前記判別手段の判別結果と前記送信コマンドとに基づいて前記第3のメモリの前記第1、第2または第3の記憶領域にアクセスするアクセス手段とを有し、

前記判別手段と前記アクセス手段と前記抽出手段とをマイクロコンピュータにより構成したICカード。

【請求項6】前記マイクロコンピュータは、前記判別結果が前記第1の通信を示す場合は、前記送信コマンドを、前記第3のメモリの前記第1、第2および第3の記憶領域のうちでは第1または第3の記憶領域にのみアクセスする第3のコマンドに変換し、

前記判別結果が前記第2の通信を示す場合は、前記送信コマンドを、前記第3のメモリの前記第1、第2および第3の記憶領域のうちでは第2または第3の記憶領域にのみアクセスする第4のコマンドに変換する請求項5記載のICカード。

【請求項7】前記マイクロコンピュータは、前記第3のコマンドを実行するプログラムを格納する第3のプログラム格納領域と前記第3のプログラム格納領域とは別個の格納領域であって前記第4のコマンドを実行するプログラムを格納する第4のプログラム格納領域とを備えた第4のメモリと、前記第4のメモリに格納されたプログラムを実行する中央処理装置とを有しており、

前記マイクロコンピュータの中央処理装置は、前記判別結果が前記第1の通信を示す場合は、前記第4

10

20

30

40

50

のメモリの前記第3および第4のプログラム格納領域のうちでは第3のプログラム格納領域にのみアクセスして前記第3のコマンドを実行し、

前記判別結果が前記第2の通信を示す場合は、前記第4のメモリの前記第3および第4のプログラム格納領域のうちでは第4のプログラム格納領域にのみアクセスして前記第4のコマンドを実行する請求項6記載のICカード。

【請求項8】前記マイクロコンピュータは、前記送信信号中に含まれる前記第3のメモリへのアクセスアドレスが前記第1と第2と第3の記憶領域のうち何れに対応するかを検出し、

前記判別結果が前記第1の通信を示す場合は、前記アクセスアドレスが前記第1の記憶領域に対応するときに、前記第1の記憶領域にアクセスし、

前記アクセスアドレスが前記第3の記憶領域に対応するときに、前記第3の記憶領域にアクセスし、

前記判別結果が前記第2の通信を示す場合は、前記アクセスアドレスが前記第2の記憶領域に対応するときに、前記第2の記憶領域にアクセスし、前記アクセスアドレスが前記第3の記憶領域に対応するときに、前記第3の記憶領域にアクセスする請求項5記載のICカード。

【請求項9】前記マイクロコンピュータは、前記送信コマンドを構成するビットデータに対し、前記判別結果に応じて予め定めた演算処理を施して前記第1または第2のコマンドに変換する請求項2記載のICカード。

【請求項10】前記マイクロコンピュータは、前記送信コマンドを構成するビットデータに対し、前記判別結果に応じて予め定めた演算処理を施して前記第3または第4のコマンドに変換する請求項6記載のICカード。

【請求項11】前記演算処理は、前記送信コマンドを構成するビットデータのうち特定のビットデータを、前記判別結果に応じて書き換える処理を有する請求項9または10記載のICカード。

【請求項12】前記演算処理は、前記送信コマンドを構成するビットデータに対し、前記判別結果に応じて特定の位置にビットデータを挿入する処理を有する請求項9、10または11記載のICカード。

【請求項13】前記接続端子に供給される前記送信信号はデジタル信号からなり、

前記第2のカード処理装置からの送信信号は磁気信号からなり、

前記検出手段は、前記磁気信号を電気信号に変換する平面コイルと、前記平面コイルからの電気信号をアナログ信号からデジタル信号に変換するインタフェース回路とを有しており、前記インタフェース回路からのデジタル信号を前記抽出手段に供給する請求項1〜12の何

れか1項に記載のICカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、接触型ICカードと非接触型ICカードの両機能を併せ持つICカードに関する。

【0002】

【従来の技術】ICカードには、データの通信を接点を介して行う接触型ICカードと、電磁誘導等により非接触通信を行う非接触型ICカードに分類される。非接触型ICカードは、一例として交通システムのゲート・アクセス管理などに使用される。接触型ICカードは、決済用途などに使用され、高いセキュリティが要求される。近年、接触型ICカードと非接触型ICカードの両方の機能を併せ持つICカードが開発されており、当該ICカードに搭載されるICチップは、コンビチップと呼ばれる。コンビチップは、次の3通りの型に分類される。第1に、メモリ共有型のコンビチップである。第2に、メモリ独立型のコンビチップである。第3に、マイクロコンピュータ（マイコン）・メモリ共有型のコンビチップである。

【0003】図1は、メモリ共有型のコンビチップを搭載したICカードの概略ブロック図である。このICカード10は、接続端子11と、メモリ共有型のコンビチップ19と、平面コイル15とを有する。コンビチップ19は、マイコン12と、メモリ13と、インタフェース（I/F）回路14とを有する。インタフェース回路14と平面コイル15は、検出手段16を構成する。

【0004】接続端子11には、メモリ13の記憶データのリードまたはライトを行う第1のカード処理装置（不図示）の端子から、送信信号が供給される。接続端子11に供給される前記送信信号はデジタル信号からなり、前記送信信号はマイコン12に供給され、前記送信信号に基づいてマイコン12はメモリ13にアクセスする。検出手段16は、メモリ13の記憶データのリードまたはライトを行う第2のカード処理装置（不図示）からの電磁波からなる送信信号を検出する。前記第2のカード処理装置からの送信信号は、例えば磁気信号からなる。平面コイル15は、前記磁気信号を電気信号に変換する。インタフェース回路14は、平面コイル15からの電気信号をアナログ信号からデジタル信号に変換して、メモリ13にアクセスする。

【0005】ICカード10では、接続端子11からの信号に基づいてメモリアクセスするマイコン12の処理と、平面コイル15からの電気信号に基づいてメモリアクセスするインタフェース回路14の処理とが独立して行われる。ICカード10では、マイコン12がアクセスするメモリ13と、インタフェース回路14がアクセスするメモリ13は、同一のメモリである。接続端子11とマイコン12とを接触部とし、検出手段16を非接

触部とすると、接触部と非接触部とでメモリを共有する構成である。

【0006】図2は、メモリ独立型のコンビチップを搭載したICカードの概略ブロック図である。このICカード20は、接続端子11と、メモリ独立型のコンビチップ29と、平面コイル15とを有する。コンビチップ29は、マイコン12と、メモリ13A、13Bと、インタフェース(I/F)回路14とを有する。インタフェース回路14と平面コイル15は、検出手段16を構成する。

【0007】接続端子11には、メモリ13Aの記憶データのリードまたはライトを行う第1のカード処理装置(不図示)の端子から、送信信号が供給される。接続端子11に供給される前記送信信号はデジタル信号からなり、前記送信信号はマイコン12に供給され、前記送信信号に基づいてマイコン12はメモリ13Aにアクセスする。検出手段16は、メモリ13Bの記憶データのリードまたはライトを行う第2のカード処理装置(不図示)からの電磁波からなる送信信号を検出する。前記第2のカード処理装置からの送信信号は、例えば磁気信号からなる。平面コイル15は、前記磁気信号を電気信号に変換する。インタフェース回路14は、平面コイル15からの電気信号をアナログ信号からデジタル信号に変換して、メモリ13Bにアクセスする。

【0008】ICカード20では、接続端子11からの信号に基づいてメモリアクセスするマイコン12の処理と、平面コイル15からの電気信号に基づいてメモリアクセスするインタフェース回路14の処理とが独立して行われる。ICカード20では、マイコン12がアクセスするメモリ13Aと、インタフェース回路14がアクセスするメモリ13Bは、異なるメモリである。接続端子11とマイコン12とを接触部とし、検出手段16を非接触部とすると、接触部と非接触部とでメモリが独立した構成である。

【0009】図3は、マイコン・メモリ共有型のコンビチップを搭載したICカードの概略ブロック図である。このICカード30は、接続端子11と、マイコン・メモリ共有型のコンビチップ39と、平面コイル15とを有する。コンビチップ39は、マイコン32と、メモリ33と、インタフェース(I/F)回路14とを有する。インタフェース回路14と平面コイル15は、検出手段16を構成する。

【0010】接続端子11には、メモリ33の記憶データのリードまたはライトを行う第1のカード処理装置(不図示)の端子から、送信信号が供給される。接続端子11に供給される前記送信信号はデジタル信号からなり、前記送信信号はマイコン32に供給され、前記送信信号に基づいてマイコン(マイクロコンピュータ)32はメモリ33にアクセスする。検出手段16は、メモリ33の記憶データのリードまたはライトを行う第2の

カード処理装置(不図示)からの電磁波からなる送信信号を検出する。前記第2のカード処理装置からの送信信号は、例えば磁気信号からなる。平面コイル15は、前記磁気信号を電気信号に変換する。インタフェース回路14は、平面コイル15からの電気信号をアナログ信号からデジタル信号に変換し、インタフェース回路14からのデジタル信号に基づいてマイコン32はメモリ33にアクセスする。

【0011】ICカード30では、接続端子11からの信号に基づいてメモリアクセスする処理と、検出手段16からの信号に基づいてメモリアクセスする処理は、マイコン32で行われる。接続端子11とマイコン32とを接触部とし、検出手段16とマイコン32とを非接触部とすると、接触部と非接触部とでメモリ33の記憶領域を共有する構成であり、マイコン32を共有する構成である。

【0012】

【発明が解決しようとする課題】メモリ共有型のコンビチップを搭載したICカードでは、非接触部はマイコンを介さずにメモリにアクセスするので、マイコンを介してメモリにアクセスする方式に比べるとメモリのセキュリティが低くなる。また、非接触部は、マイコンを有していないので、非接触部で複雑な演算を行うことが困難である。

【0013】メモリ独立型のコンビチップを搭載したICカードでは、接触部と非接触部とは互いに独立であってデータを共有することができず、利便性が低い。また、接触部がアクセスするメモリと非接触部がアクセスするメモリとを各々設ける必要がある。また、非接触部は、マイコンを有していないので、非接触部で複雑な演算を行うことが困難である。

【0014】マイコン・メモリ共有型のコンビチップを搭載したICカードでは、接触部および非接触部とでマイコンを共有するので、メモリ共有型のコンビチップを搭載したICカードに比べ、セキュリティ性を高くすることができる。しかし、接触部と非接触部とでメモリの記憶領域を共有化しているので、接触部のみで取り扱いたいデータを、非接触部を介して取り扱うことが可能となり、接触部と非接触部との記憶データの差別化が困難になってセキュリティ性が低下する。一例として、メモリに記憶された決済情報に関し、接触部のみで取り扱いたい場合であっても、非接触部を介して決済情報の読取り(リード)や書込み(ライト)が行われる可能性がある。本発明の目的は、接触型ICカードと非接触型ICカードの両機能を併せ持つICカードであって、セキュリティ性を高くすることができるICカードを提供することにある。

【0015】

【課題を解決するための手段】本発明の第1のICカードは、第1のカード処理装置の端子から送信信号が供給

10

20

30

40

50

される接続端子と、第2のカード処理装置からの電磁波からなる送信信号を検出する検出手段と、外部装置との通信が前記接続端子を介する第1の通信であるか前記検出手段を介する第2の通信であるかの判別を行う判別手段と、前記第1のカード処理装置からアクセス可能な第1の記憶領域と前記第1の記憶領域とは別個の記憶領域であって前記第2のカード処理装置からアクセス可能な第2の記憶領域とを有する第1のメモリと、前記検出手段からの信号と前記接続端子からの信号とを入力し、前記第1のメモリにアクセスするコマンドを示す送信コマンドを抽出する抽出手段と、前記判別手段の判別結果と前記送信コマンドとに基づいて前記第1のメモリの前記第1または第2の記憶領域にアクセスするアクセス手段とを有し、前記判別手段と前記アクセス手段と前記抽出手段とをマイクロコンピュータにより構成する。

【0016】本発明の第1のICカードでは、好適には、前記マイクロコンピュータは、前記判別結果が前記第1の通信を示す場合は、前記送信コマンドを、前記第1のメモリの前記第1および第2の記憶領域のうちでは第1の記憶領域にのみアクセスする第1のコマンドに変換し、前記判別結果が前記第2の通信を示す場合は、前記送信コマンドを、前記第1のメモリの前記第1および第2の記憶領域のうちでは第2の記憶領域にのみアクセスする第2のコマンドに変換する。

【0017】本発明の第1のICカードでは、より好適には、前記マイクロコンピュータは、前記第1のコマンドを実行するプログラムを格納する第1のプログラム格納領域と前記第1のプログラム格納領域とは別個の格納領域であって前記第2のコマンドを実行するプログラムを格納する第2のプログラム格納領域とを備えた第2のメモリと、前記第2のメモリに格納されたプログラムを実行する中央処理装置とを有しており、前記マイクロコンピュータの中央処理装置は、前記判別結果が前記第1の通信を示す場合は、前記第2のメモリの前記第1および第2のプログラム格納領域のうちでは第1のプログラム格納領域にのみアクセスして前記第1のコマンドを実行し、前記判別結果が前記第2の通信を示す場合は、前記第2のメモリの前記第1および第2のプログラム格納領域のうちでは第2のプログラム格納領域にのみアクセスして前記第2のコマンドを実行する。

【0018】本発明の第1のICカードでは、好適には、前記マイクロコンピュータは、前記送信信号中に含まれる前記第1のメモリへのアクセスアドレスが前記第1と第2の記憶領域のうち何れに対応するかを検出し、前記判別結果が前記第1の通信を示す場合は、前記アクセスアドレスが前記第1の記憶領域に対応するときに、前記第1の記憶領域にアクセスし、前記判別結果が前記第2の通信を示す場合は、前記アクセスアドレスが前記第2の記憶領域に対応するときに、前記第2の記憶領域にアクセスする。

【0019】本発明の第1のICカードでは、好適には、前記マイクロコンピュータは、前記送信コマンドを構成するビットデータに対し、前記判別結果に応じて予め定めた演算処理を施して前記第1または第2のコマンドに変換する構成としてもよい。前記演算処理は、前記送信コマンドを構成するビットデータのうち特定のビットデータを、前記判別結果に応じて書き換える処理を有する構成としてもよい。前記演算処理は、前記送信コマンドを構成するビットデータに対し、前記判別結果に応じて特定の位置にビットデータを挿入する処理を有する構成としてもよい。

【0020】本発明の第2のICカードは、第1のカード処理装置の端子から送信信号が供給される接続端子と、第2のカード処理装置からの電磁波からなる送信信号を検出する検出手段と、外部装置との通信が前記接続端子を介する第1の通信であるか前記検出手段を介する第2の通信であるかの判別を行う判別手段と、前記第1のカード処理装置からアクセス可能な第1の記憶領域と、前記第1の記憶領域とは別個の記憶領域であって前記第2のカード処理装置からアクセス可能な第2の記憶領域と、前記第1および第2の記憶領域とは別個の記憶領域であって前記第1のカード処理装置と前記第2のカード処理装置とからアクセス可能な第3の記憶領域とを有する第3のメモリと、前記検出手段からの信号と前記接続端子からの信号とを入力し、前記第3のメモリにアクセスするコマンドを示す送信コマンドを抽出する抽出手段と、前記判別手段の判別結果と前記送信コマンドとに基づいて前記第3のメモリの前記第1、第2または第3の記憶領域にアクセスするアクセス手段とを有し、前記判別手段と前記アクセス手段と前記抽出手段とをマイクロコンピュータにより構成する。

【0021】本発明の第2のICカードでは、好適には、前記マイクロコンピュータは、前記判別結果が前記第1の通信を示す場合は、前記送信コマンドを、前記第3のメモリの前記第1、第2および第3の記憶領域のうちでは第1または第3の記憶領域にのみアクセスする第3のコマンドに変換し、前記判別結果が前記第2の通信を示す場合は、前記送信コマンドを、前記第3のメモリの前記第1、第2および第3の記憶領域のうちでは第2または第3の記憶領域にのみアクセスする第4のコマンドに変換する。

【0022】本発明の第2のICカードでは、より好適には、前記マイクロコンピュータは、前記第3のコマンドを実行するプログラムを格納する第3のプログラム格納領域と前記第3のプログラム格納領域とは別個の格納領域であって前記第4のコマンドを実行するプログラムを格納する第4のプログラム格納領域とを備えた第4のメモリと、前記第4のメモリに格納されたプログラムを実行する中央処理装置とを有しており、前記マイクロコンピュータの中央処理装置は、前記判別結果が前記第1

の通信を示す場合は、前記第4のメモリの前記第3および第4のプログラム格納領域のうちでは第3のプログラム格納領域にのみアクセスして前記第3のコマンドを実行し、前記判別結果が前記第2の通信を示す場合は、前記第4のメモリの前記第3および第4のプログラム格納領域のうちでは第4のプログラム格納領域にのみアクセスして前記第4のコマンドを実行する。

【0023】本発明の第2のICカードでは、好適には、前記マイクロコンピュータは、前記送信信号中に含まれる前記第3のメモリへのアクセスアドレスが前記第1と第2と第3の記憶領域のうち何れに対応するかを検出し、前記判別結果が前記第1の通信を示す場合は、前記アクセスアドレスが前記第1の記憶領域に対応するときに、前記第1の記憶領域にアクセスし、前記アクセスアドレスが前記第3の記憶領域に対応するときに、前記第3の記憶領域にアクセスし、前記判別結果が前記第2の通信を示す場合は、前記アクセスアドレスが前記第2の記憶領域に対応するときに、前記第2の記憶領域にアクセスし、前記アクセスアドレスが前記第3の記憶領域に対応するときに、前記第3の記憶領域にアクセスする。

【0024】本発明の第2のICカードでは、好適には、前記マイクロコンピュータは、前記送信コマンドを構成するビットデータに対し、前記判別結果に応じて予め定めた演算処理を施して前記第3または第4のコマンドに変換する構成としてもよい。前記演算処理は、前記送信コマンドを構成するビットデータのうち特定のビットデータを、前記判別結果に応じて書き換える処理を有する構成としてもよい。前記演算処理は、前記送信コマンドを構成するビットデータに対し、前記判別結果に応じて特定の位置にビットデータを挿入する処理を有する構成としてもよい。

【0025】前記第1のICカードにおいて、判別手段は、外部装置との通信が、前記接続端子を介する第1の通信であるか前記検出手段を介する第2の通信であるかの判別を行う。第1のメモリは、前記第1のカード処理装置からアクセス可能な第1の記憶領域を有する。第1のメモリは、前記第2のカード処理装置からアクセス可能な第2の記憶領域を有する。第1の記憶領域と第2の記憶領域は、第1のメモリ内の別個の記憶領域である。抽出手段は、前記検出手段からの信号と前記接続端子からの信号とを入力し、前記第1のメモリにアクセスするコマンドを示す送信コマンドを抽出する。このようにして、前記送信信号に含まれている前記送信コマンドが前記抽出手段によって抽出される。アクセス手段は、前記判別手段の判別結果と前記送信コマンドとに基づいて前記第1のメモリにアクセスする。前記アクセス手段と前記抽出手段とをマイクロコンピュータにより構成しており、マイクロコンピュータを用いて複雑な演算処理が可能である。

【0026】前記第2のICカードにおいて、判別手段は、外部装置との通信が、前記接続端子を介する第1の通信であるか前記検出手段を介する第2の通信であるかの判別を行う。第3のメモリは、前記第1のカード処理装置からアクセス可能な第1および第3の記憶領域を有する。第3のメモリは、前記第2のカード処理装置からアクセス可能な第2および第3の記憶領域を有する。第1の記憶領域と第2の記憶領域と第3の記憶領域は、第3のメモリ内の別個の記憶領域である。抽出手段は、前記検出手段からの信号と前記接続端子からの信号とを入力し、前記第3のメモリにアクセスするコマンドを示す送信コマンドを抽出する。このようにして、前記送信信号に含まれている前記送信コマンドが前記抽出手段によって抽出される。アクセス手段は、前記判別手段の判別結果と前記送信コマンドとに基づいて前記第3のメモリにアクセスする。前記アクセス手段と前記抽出手段とをマイクロコンピュータにより構成しており、マイクロコンピュータを用いて複雑な演算処理が可能である。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を、添付図面を参照して説明する。図4は、本発明に係るICカードの一例を示す概略ブロック図である。

【0028】このICカード40は、接続端子11と、マイコン・メモリ共有型のコンピチップ49と、平面コイル15とを有する。コンピチップ49は、マイコン42と、第1のメモリ43と、インタフェース(I/F)回路14とを有する。インタフェース回路14と平面コイル15は、検出手段16を構成する。

【0029】接続端子11には、第1のメモリ43の第1の記憶領域43Aの記憶データのリードまたはライトを行う第1のカード処理装置(不図示)の端子から、送信信号が供給される。接続端子11に供給される前記送信信号はデジタル信号からなり、前記送信信号はマイコン42に供給され、前記送信信号および後述の判別結果に基づいてマイコン(マイクロコンピュータ)42は第1のメモリ43にアクセスする。検出手段16は、第1のメモリ43の第2の記憶領域43Bの記憶データのリードまたはライトを行う第2のカード処理装置(不図示)からの電磁波からなる送信信号を検出する。前記第2のカード処理装置からの送信信号は、例えば磁気信号からなる。平面コイル15は、前記磁気信号を電気信号に変換する。インタフェース回路14は、平面コイル15からの電気信号をアナログ信号からデジタル信号に変換し、インタフェース回路14からのデジタル信号と後述の判別結果とに基づいてマイコン42は第1のメモリ43にアクセスする。

【0030】ICカード40では、接続端子11からの信号に基づいてメモリアクセスする処理と、検出手段16からの信号に基づいてメモリアクセスする処理は、マイコン42で行われる。接続端子11とマイコン42と

を接触部とし、検出手段16とマイコン42とを非接触部とすると、接触部と非接触部とで第1のメモリ43およびマイコン42を共有するが、第1のメモリ43において別個の記憶領域にアクセスする構成である。前記第1のカード処理装置は第1の記憶領域43Aにのみアクセス可能であり、前記第2のカード処理装置は第2の記憶領域43Bにのみアクセス可能である。第1のメモリ43において、第1の記憶領域43Aと第2の記憶領域43Bは、別個の記憶領域である。

【0031】図5は、本発明に係るICカードの一例を示す概略ブロック図である。このICカード50は、接続端子11と、マイコン・メモリ共有型のコンビチップ59と、平面コイル15とを有する。コンビチップ59は、マイコン52と、第1のメモリ53と、インタフェース(I/F)回路14とを有する。インタフェース回路14と平面コイル15は、検出手段16を構成する。

【0032】接続端子11には、第1のメモリ53の第1の記憶領域53Aまたは第3の記憶領域53Cの記憶データのリードもしくはライトを行う第1のカード処理装置(不図示)の端子から、送信信号が供給される。接続端子11に供給される前記送信信号はデジタル信号からなり、前記送信信号はマイコン52に供給され、前記送信信号および後述の判別結果に基づいてマイコン(マイクロコンピュータ)52は第1のメモリ53にアクセスする。検出手段16は、第1のメモリ53の第3の記憶領域53Cの記憶データのリードまたはライトを行う第2のカード処理装置(不図示)からの電磁波からなる送信信号を検出する。前記第2のカード処理装置からの送信信号は、例えば磁気信号からなる。平面コイル15は、前記磁気信号を電気信号に変換する。インタフェース回路14は、平面コイル15からの電気信号をアナログ信号からデジタル信号に変換し、インタフェース回路14からのデジタル信号と後述の判別結果とに基づいてマイコン52は第1のメモリ53にアクセスする。

【0033】ICカード50では、接続端子11からの信号に基づいてメモリアクセスする処理と、検出手段16からの信号に基づいてメモリアクセスする処理は、マイコン52で行われる。接続端子11とマイコン52とを接触部とし、検出手段16とマイコン52とを非接触部とすると、接触部と非接触部とで第1のメモリ53およびマイコン52を共有し、第1のメモリ53において第3の記憶領域53Cを共有する。前記第1のカード処理装置は第1および第3の記憶領域53A、53Cにアクセス可能であり、前記第2のカード処理装置は第3の記憶領域53Cにのみアクセス可能である。メモリ53において、第1の記憶領域53Aと第3の記憶領域53Cは、別個の記憶領域である。

【0034】図6は、本発明に係るICカードの一例を示す概略ブロック図である。このICカード60は、接

続端子11と、マイコン・メモリ共有型のコンビチップ69と、平面コイル15とを有する。コンビチップ69は、マイコン62と、第1のメモリ63と、インタフェース(I/F)回路14とを有する。インタフェース回路14と平面コイル15は、検出手段16を構成する。

【0035】接続端子11には、第1のメモリ63の第1の記憶領域63Aまたは第3の記憶領域63Cの記憶データのリードもしくはライトを行う第1のカード処理装置(不図示)の端子から、送信信号が供給される。接続端子11に供給される前記送信信号はデジタル信号からなり、前記送信信号はマイコン62に供給され、前記送信信号および後述の判別結果に基づいてマイコン(マイクロコンピュータ)62は第1のメモリ63にアクセスする。検出手段16は、第1のメモリ63の第2の記憶領域63Bまたは第3の記憶領域63Cの記憶データのリードまたはライトを行う第2のカード処理装置(不図示)からの電磁波からなる送信信号を検出する。前記第2のカード処理装置からの送信信号は、例えば磁気信号からなる。平面コイル15は、前記磁気信号を電気信号に変換する。インタフェース回路14は、平面コイル15からの電気信号をアナログ信号からデジタル信号に変換し、インタフェース回路14からのデジタル信号と後述の判別結果とに基づいてマイコン62は第1のメモリ63にアクセスする。

【0036】ICカード60では、接続端子11からの信号に基づいてメモリアクセスする処理と、検出手段16からの信号に基づいてメモリアクセスする処理は、マイコン62で行われる。接続端子11とマイコン62とを接触部とし、検出手段16とマイコン62とを非接触部とすると、接触部と非接触部とで第1のメモリ63およびマイコン62を共有し、第1のメモリ63において第3の記憶領域63Cを共有する。前記第1のカード処理装置は第1および第3の記憶領域63A、63Cにアクセス可能であり、前記第2のカード処理装置は第2および第3の記憶領域63B、63Cにアクセス可能である。第1のメモリ63において、第1の記憶領域63Aと第2の記憶領域63Bと第3の記憶領域63Cは、それぞれ別個の記憶領域である。

【0037】上記ICカード40、50、60では、接触部および非接触部は、マイコンを介して第1のメモリにアクセスするので、セキュリティ性を高くすることができる。また、第1のメモリにおいて、接触部に専用のメモリエリアである第1の記憶領域を設け、又は非接触部に専用のメモリエリアである第2の記憶領域を設けることで、接触部で取り扱い可能なデータを限定することができる。また、非接触部で取り扱い可能なデータを限定することができる。また、接触部および非接触部で取り扱い可能なメモリエリアである第3の記憶領域を設けることで、接触部および非接触部で記憶データを共有化することができ、利便性を高めることができる。

【0038】アクセス手段でのメモリアクセス制御には、外部装置との通信が接続端子11を介する第1の通信か検出手段16を介する第2の通信かの判別を行う判別手段が利用される。判別手段は、マイコンで構成される。第1の通信の場合は、ICカードと前記第1のカード処理装置との間で通信が行われる場合である。第2の通信の場合は、ICカードと前記第2のカード処理装置との間で通信が行われる場合である。判別手段の判別結果に基づいて第1のメモリアクセスエリアを限定することで、ICカードのセキュリティ性を向上することができる。判別結果が第1の通信の場合、第2の記憶領域にアクセスすることを禁止することで、セキュリティ性を向上することができる。判別結果が第2の通信の場合、第1の記憶領域にアクセスすることを禁止することで、セキュリティ性を向上することができる。

【0039】メモリアクセス制御には、判別手段の判別結果と送信信号中の送信コマンドとの組み合わせにより、アクセス可能な記憶領域を予め限定することが望ましく、これにより接触部および非接触部からアクセス可能な第3の記憶領域を設定する構成としてもよい。判別手段の判別結果と送信コマンドとの組み合わせとしては、第1の通信と第2の通信に応じて送信コマンドを第1のコマンドと第2のコマンドに変換し、当該コマンドを実行してメモリにアクセスすることが望ましい。この場合、第1および第2のコマンドに応じてアクセス可能な記憶領域を限定することで、同じ送信コマンドであっても、第1および第2の通信に応じて各記憶領域のアクセス可否を設定することができる。

【0040】図7は、図4のICカード40を詳しく説明するブロック図である。図7のICカード40では、抽出手段421と判別手段422とアクセス手段423とを、マイコン42により構成している。判別手段422は、外部装置との通信が前記接続端子11を介する第1の通信であるか前記検出手段16を介する第2の通信であるかの判別を行い、判別結果を示す信号を生成してアクセス手段423に出力する。抽出手段421は、前記検出手段16からの信号と前記接続端子11からの信号とを入力し、前記第1のメモリ43にアクセスするコマンドを示す送信コマンドを抽出し、前記送信コマンドを示す信号をアクセス手段423に出力する。アクセス手段423は、前記判別手段422の判別結果と抽出手段421からの前記送信コマンドとに基づいて前記第1のメモリ43にアクセスする。図5と図6のICカード50、60においても、同様に抽出手段と判別手段とアクセス手段とをマイコン52、62により各々構成している。

【0041】図8と図9は、図7のICカード40の動作の一例を説明するフローチャートである。第1のカード処理装置の接続端子からICカード40の接続端子11に送信信号が供給されると、当該送信信号は抽出手段

421に入力され、抽出手段421は、接続端子11からの信号中に含まれる、第1のメモリ43にアクセスするコマンドを示す送信コマンドを抽出し、当該送信コマンドを示す信号をアクセス手段423に出力する(ステップF1)。第2のカード処理装置から放射された電磁波からなる送信信号が検出手段16で検出されると、当該送信信号は抽出手段421に入力され、抽出手段421は、検出手段16からの信号中に含まれる、第1のメモリ43にアクセスするコマンドを示す送信コマンドを抽出し、当該送信コマンドを示す信号をアクセス手段423に出力する(ステップF1)。

【0042】また、抽出手段421は、検出手段16からの信号中に含まれる、第1のメモリ43にアクセスするアクセスアドレスを抽出し、当該アクセスアドレスを示す信号をアクセス手段423に出力する(ステップF2)。また、抽出手段421は、接続端子11からの信号中に含まれる、第1のメモリ43にアクセスするアクセスアドレスを抽出し、当該アクセスアドレスを示す信号をアクセス手段423に出力する(ステップF2)。

【0043】アクセス手段423では、抽出手段421からの信号が示すアクセスアドレスが、第1の記憶領域43Aに対応する記憶アドレスであるか否かを判定する(ステップF3)。前記アクセスアドレスが第1の記憶領域43Aに対応する場合は、アクセス手段423内のレジスタ1に“A”をセットする(ステップF4)。前記“A”は、例えば“1”とする。前記アクセスアドレスが第1の記憶領域43Aに対応しない場合は、アクセス手段423内のレジスタ1に“B”をセットする(ステップF5)。前記“B”は、例えば“0”とする。

【0044】判別手段422では、ICカード40の外部の装置である外部装置との通信が、前記接続端子11を介する第1の通信であるか前記検出手段16を介する第2の通信であるかの判別を行い、判別結果を示す信号をアクセス手段423に出力する(ステップF6)。例えば、ICカード40が、その接続端子を介して第1のカード処理装置から電源供給される構成の場合は、電源供給される接続端子の電圧を監視することで、前記送信信号の入力時または入力前後の通信が第1の通信であるか否かを判別することができる。電源供給される前記接続端子は、接続端子11とは別個にICカード40に設けてもよい。例えば、ICカード40が、その平面コイルを介して第2のカード処理装置から電源供給される構成の場合は、磁気信号により電源供給される平面コイルの出力信号電圧を監視することで、前記送信信号の入力時または入力前後の通信が第2の通信であるか否かを判別することができる。電磁誘導を利用して磁気信号により電源供給される前記平面コイルは、平面コイル15とは別個にICカード40に設けてもよい。判別手段422は、接触部および非接触部の電源電圧の制御信号を監視することで、第1の通信か第2の通信かを判別する構



成としてもよい。

【0045】判別手段422の判別結果が第1の通信であることを示す場合は、アクセス手段423は、その内部のI/F判定フラグに"1"をセットし(ステップF7)、レジスタ2に"A"をセットする(ステップF8)。前記"A"は、例えば"1"とする。判別手段422の判別結果が第1の通信でないことを示す場合は、アクセス手段423は、その内部のI/F判定フラグに"0"をセットし(ステップF9)、レジスタ2に"B"をセットする(ステップF10)。前記"B"は、例えば"0"とする。

【0046】アクセス手段423は、レジスタ1の保持値とレジスタ2の保持値とが等しいか否かを判定する(ステップF11)。レジスタ1, 2の保持値が等しい場合は、送信コマンドが示すコマンドを実行して第1のメモリ43にアクセスし(ステップF12)、アクセス終了後に正常を示す信号(レスポンス信号)を返信する(ステップF13)。例えば、レジスタ1, 2の保持値が"A"の場合は、アクセス手段423は第1の記憶領域43Aにアクセスし、レジスタ1, 2の保持値が"B"の場合は、アクセス手段423は第2の記憶領域43Bにアクセスする。例えば、判別手段422の判別結果が第1の通信を示し、レジスタ1, 2の保持値が"A"の場合は、前記送信コマンドを、第1のメモリ43の前記第1および第2の記憶領域のうちでは第1の記憶領域43Aにのみアクセスする第1のコマンドに変換し、当該第1のコマンドをアクセス手段423は実行する。例えば、判別手段422の判別結果が第2の通信を示し、レジスタ1, 2の保持値が"B"の場合は、前記送信コマンドを、第1のメモリ43の前記第1および第2の記憶領域のうちでは第2の記憶領域43Bにのみアクセスする第2のコマンドに変換し、当該第2のコマンドをアクセス手段423は実行する。

【0047】一方、レジスタ1, 2の保持値が異なる場合は、異常を示す信号(レスポンス信号)を直ちに返信する(ステップF14)。このようにアクセス制御することで、同じ送信コマンドを示す信号がアクセス手段423に供給されても、判別手段422の判別結果が示す第1の通信か第2の通信かに基づいてアクセスエリアの記憶領域を限定することができ、ICカード40のセキュリティ性を向上することができる。

【0048】図7のICカード40のマイコン42は、プログラム格納領域を有する第2のメモリと、前記プログラム格納領域に格納されたプログラムを実行する中央処理装置(CPU)とを有する構成としてもよい。一例として、前記第2のメモリは、前記第1のコマンドを実行するプログラムを格納する第1のプログラム格納領域と、前記第1のプログラム格納領域とは別個の格納領域であって前記第2のコマンドを実行するプログラムを格納する第2のプログラム格納領域とを備える。前記中央

処理装置は、前記判別結果が前記第1の通信を示し、レジスタ1, 2の保持値が"A"の場合は、前記第2のメモリの第1および第2のプログラム格納領域のうちでは第1のプログラム格納領域にのみアクセスして前記第1のコマンドを実行する。前記中央処理装置は、前記判別結果が前記第2の通信を示し、レジスタ1, 2の保持値が"B"の場合は、前記第2のメモリの第1および第2のプログラム格納領域のうちでは第2のプログラム格納領域にのみアクセスして前記第2のコマンドを実行する。このようにすることで、第1の通信の場合は、第2の記憶領域にアクセスすることが禁止され、さらには第2の記憶領域にアクセスするプログラムのプログラム格納領域にも中央処理装置はアクセスすることが禁止されるので、セキュリティ性をいっそう向上することができる。また、第2の通信の場合は、第1の記憶領域にアクセスすることが禁止され、さらには第1の記憶領域にアクセスするプログラムのプログラム格納領域にも中央処理装置はアクセスすることが禁止されるので、セキュリティ性をいっそう向上することができる。

【0049】図10は、図7のICカード40の動作の一例を説明するフローチャートである。アクセス手段423は、判別手段422の判別結果を示す信号を入力し、前記判別結果が第1の通信を示すか否かを判定する(ステップF21)。前記判別結果が第1の通信を示している場合は、アクセス手段423内のI/F判定フラグを"1"にセットし(ステップF22)、アクセス手段423内のレジスタ1に"A"をセットする(ステップF23)。前記"A"は、例えば"1"とする。前記判別結果が第1の通信を示していない場合は、アクセス手段423内のI/F判定フラグを"0"にセットし(ステップF24)、アクセス手段423内のレジスタ1に"B"をセットする(ステップF25)。前記"B"は、例えば"0"とする。

【0050】抽出手段421は、前記接続端子11からの信号を入力し、前記送信コマンドを抽出してアクセス手段423に出力する(ステップF26)。抽出手段421は、前記検出手段16からの信号を入力し、前記送信コマンドを抽出してアクセス手段423に出力する(ステップF26)。アクセス手段423は、抽出手段421から供給される送信コマンドを、第1のメモリ内の所定の記憶領域にアクセスするコマンドに変換し(ステップF27)、当該コマンドを実行する(ステップF28)。例えば、判別手段422の判別結果が第1の通信を示し、レジスタ1の保持値が"A"の場合は、前記送信コマンドを、第1のメモリ43の前記第1および第2の記憶領域のうちでは第1の記憶領域43Aにのみアクセスする第1のコマンドに変換し、当該第1のコマンドをアクセス手段423は実行する。例えば、判別手段422の判別結果が第2の通信を示し、レジスタ1の保持値が"B"の場合は、前記送信コマンドを、第1のメ

メモリ43の前記第1および第2の記憶領域のうちでは第2の記憶領域43Bにのみアクセスする第2のコマンドに変換し、当該第2のコマンドをアクセス手段423は実行する。

【0051】アクセス手段423は、第1のメモリ43へのアクセス処理が正常終了したか否かを判定する（ステップF29）。アクセスが正常終了した場合は、正常終了を示す信号（レスポンス信号）を返信する（ステップF30）。アクセスが異常終了した場合は、異常終了を示す信号（レスポンス信号）を返信する（ステップF31）。例えば、第1の通信の場合に、送信信号から抽出されたアクセスアドレスが第1の記憶領域43Aに対応していないとき等に、アクセスが異常終了する。例えば、第2の通信の場合に、送信信号から抽出されたアクセスアドレスが第2の記憶領域43Bに対応していないとき等に、アクセスが異常終了する。

【0052】図10のステップF27では、アクセス手段423では、抽出手段421から供給される送信コマンドを、判別手段422の判別結果に応じて所定の記憶領域にアクセスするコマンドに変換する。この変換では、第1と第2の通信のうち何れか一方の場合にのみ送信コマンドの変換を行う構成としてもよい。送信コマンドの変換は、マイコン42のハードウェアによって論理回路を用いて変換してもよく、マイコン42のソフトウェアによってプログラムを用いて変換してもよい。

【0053】マイコン42の第2のメモリには、送信コマンドの変換を行った後のコマンドに対応する実行プログラムを格納しておき、変換後の各コマンドに対してアクセスする記憶領域を予め設定しておくことにより、変換後の各コマンドに対して第1または第2の記憶領域を使い分けることが可能となる。図11は、第1のメモリのアクセス条件の一例を説明する説明図であり、この図11のようにアクセス条件を設定してもよい。図11では、第1のメモリのアクセスエリアを、第1から第3の記憶領域としているが、図7および図4のICカード40に対応させると第1と第2の記憶領域のアクセス条件が示されており、図5のICカード50に対応させると第1と第3の記憶領域のアクセス条件が示されており、図6のICカード60に対応させると第1から第3の記憶領域のアクセス条件が示されている。

【0054】送信コマンドがリードを示す第1の通信の\*

送信コマンド : \*\*D\*\*\*\*\*P...①

変換後の第1のコマンド : \*\*E\*\*\*\*\*P'...②

変換後の第2のコマンド : \*\*F\*\*\*\*\*P''...③

ここで、\*を1ビットとした場合は、送信コマンドと第1および第2のコマンドは16ビットからなり、送信コマンドの第3ビットがDからEおよびFに各々書き換えられる。符号D、E、F、P、P'、P''はビット値である0または1を示しており、符号P、P'、P''はパリティビットに対応しており、ビットデータの書換えに※50

\*場合、第1の記憶領域の記憶データをリードできるように、コマンドの変換が行われる。送信コマンドがリードを示す第1の通信の場合、第2の記憶領域の記憶データをリードできないように、コマンドの変換が行われる。送信コマンドがリードを示す第1の通信の場合、第3の記憶領域の記憶データをリードできるように、コマンドの変換が行われる。

【0055】送信コマンドがリードを示す第2の通信の場合、第1の記憶領域の記憶データをリードできないように、コマンドの変換が行われる。送信コマンドがリードを示す第2の通信の場合、第2の記憶領域の記憶データをリードできるように、コマンドの変換が行われる。送信コマンドがリードを示す第2の通信の場合、第3の記憶領域の記憶データをリードできるように、コマンドの変換が行われる。

【0056】送信コマンドがライトを示す第1の通信の場合、第1の記憶領域にライトできるように、コマンドの変換が行われる。送信コマンドがライトを示す第1の通信の場合、第2の記憶領域にライトできないように、コマンドの変換が行われる。送信コマンドがライトを示す第1の通信の場合、第3の記憶領域にライトできるように、コマンドの変換が行われる。

【0057】送信コマンドがライトを示す第2の通信の場合、第1の記憶領域にライトできないように、コマンドの変換が行われる。送信コマンドがライトを示す第2の通信の場合、第2の記憶領域にライトできるように、コマンドの変換が行われる。送信コマンドがライトを示す第2の通信の場合、第3の記憶領域にライトできないように、コマンドの変換が行われる。このようにして、第1のメモリの第1～第3の記憶領域を、送信コマンドと判別手段の判別結果とに基づいて使い分けることができる。

【0058】送信コマンドを判別結果に応じて変換するため、マイコン42は、前記送信コマンドを構成するビットデータに対し、前記判別結果に応じて予め定めた演算処理を施して前記第1または第2のコマンドに変換する構成としてもよい。例えば、前記演算処理は、前記送信コマンドを構成するビットデータのうち特定のビットデータを、前記判別結果に応じて書き換える処理を有する。一例として、次のように変換する。

※伴って、パリティビットの書換えを行っている。一方、\*を1バイトとした場合は、送信コマンドと第1および第2のコマンドは16バイトからなり、送信コマンドの第3バイトがDからEおよびFに各々書き換えられる。符号D、E、F、P、P'、P''はバイト値を示しており、符号P、P'、P''はエラーチェック用のバイトに

対応しており、バイトデータの書換えに伴って、エラーチェック用のバイトの書換えを行っている。

【0059】送信コマンドを判別結果に応じて変換するため、マイコン42は、前記送信コマンドを構成するビットデータに対し、前記判別結果に応じて予め定めた演\*

送信コマンド : \*\*D\*\*\*\*\*P ...④

変換後の第1のコマンド : \*\*DG\*\*\*\*\*P' ...⑤

変換後の第2のコマンド : \*\*DH\*\*\*\*\*P'' ...⑥

ここで、\*を1ビットとした場合は、送信コマンドは15ビットからなり、第1および第2のコマンドは16ビットからなり、送信コマンドの第3ビットと第4ビットとの間にGおよびHが各々挿入される。符号D、G、H、P、P'、P''はビット値である0または1を示しており、符号P、P'、P''はパリティビットに対応しており、ビットデータの挿入に伴って、パリティビットの書換えを行っている。一方、\*を1バイトとした場合は、送信コマンドは15バイトからなり、第1および第2のコマンドは16バイトからなり、送信コマンドの第3バイトと第4バイトの間にGおよびHが各々挿入される。符号D、G、H、P、P'、P''はバイト値を示しており、符号P、P'、P''はエラーチェック用のバイトに対応しており、バイトデータの挿入に伴って、エラーチェック用のバイトの書換えを行っている。

【0060】なお、正常状態または異常状態を示すレスポンス信号を第1のカード処理装置に返信する場合は、例えば、ICカードにレスポンス信号専用の接続端子を設けてこの接続端子にマイコンからレスポンス信号を出力するようにし、当該接続端子から第1のカード処理装置はレスポンス信号を読み取るようにしてもよい。正常状態または異常状態を示すレスポンス信号を第2のカード処理装置に返信する場合は、例えば、レスポンス信号を示すデジタル信号をアクセス手段からインタフェース回路に供給し、当該デジタル信号をインタフェース回路はアナログ信号に変換して平面コイル15に供給し、平面コイル15で磁気信号を発生させ、この磁気信号によりレスポンス信号を第2のカード処理装置に送信するようにしてもよい。

【0061】図7のICカード40について説明したが、図5および図6のICカード50、60についても同様にして構成することができる。例えばICカード60は、第1のカード処理装置の端子から送信信号が供給される接続端子11と、第2のカード処理装置からの電磁波からなる送信信号を検出する検出手段16と、外部装置との通信が前記接続端子11を介する第1の通信であるか前記検出手段16を介する第2の通信であるかの判別を行う判別手段と、前記第1のカード処理装置からアクセス可能な第1の記憶領域63Aと、前記第1の記憶領域63Aとは別個の記憶領域であって前記第2のカード処理装置からアクセス可能な第2の記憶領域63Bと、前記第1および第2の記憶領域63A、63Bとは※50

\*算処理を施して前記第1または第2のコマンドに変換する構成としてもよい。例えば、前記演算処理は、前記送信コマンドを構成するビットデータに対し、前記判別結果に応じて特定の位置にビットデータを挿入する処理を有する一例として、次のように変換する。

※別個の記憶領域であって前記第1のカード処理装置と前記第2のカード処理装置とからアクセス可能な第3の記憶領域63Cとを有するメモリ63と、前記検出手段16からの信号と前記接続端子11からの信号とを入力し、前記メモリ63にアクセスするコマンドを示す送信コマンドを抽出する抽出手段と、前記判別手段の判別結果と前記送信コマンドとに基づいて前記メモリ63の前記第1、第2または第3の記憶領域63A～63Cにアクセスするアクセス手段とを有し、前記判別手段と前記アクセス手段と前記抽出手段とをマイクロコンピュータ62により構成する。

【0062】ICカード60において、前記マイクロコンピュータ62は、前記判別結果が前記第1の通信を示す場合は、前記送信コマンドを、前記メモリ63の前記第1、第2および第3の記憶領域63A～63Cのうちでは第1または第3の記憶領域63A、63Cにのみアクセスする第3のコマンドに変換する。ICカード60において、前記マイクロコンピュータ62は、前記判別結果が前記第2の通信を示す場合は、前記送信コマンドを、前記メモリ63の前記第1、第2および第3の記憶領域63A～63Cのうちでは第2または第3の記憶領域63B、63Cにのみアクセスする第4のコマンドに変換する。

【0063】ICカード60において、前記マイクロコンピュータ62は、前記第3のコマンドを実行するプログラムを格納する第3のプログラム格納領域と前記第3のプログラム格納領域とは別個の格納領域であって前記第4のコマンドを実行するプログラムを格納する第4のプログラム格納領域とを備えた第4のメモリと、前記第4のメモリに格納されたプログラムを実行する中央処理装置とを有する。前記マイクロコンピュータ62の中央処理装置は、前記判別結果が前記第1の通信を示す場合は、前記第4のメモリの第3および第4のプログラム格納領域のうちでは第3のプログラム格納領域にのみアクセスして前記第3のコマンドを実行する。前記マイクロコンピュータ62の中央処理装置は、前記判別結果が前記第2の通信を示す場合は、前記第4のメモリの第3および第4のプログラム格納領域のうちでは第4のプログラム格納領域にのみアクセスして前記第4のコマンドを実行する。

【0064】ICカード60において、前記マイクロコンピュータ62は、前記送信信号中に含まれる前記メモ

り63へのアクセスアドレスが前記第1と第2と第3の記憶領域63A~63Cのうち何れに対応するかを検出する。前記マイクロコンピュータ62は、前記判別結果が前記第1の通信を示す場合は、前記アクセスアドレスが前記第1の記憶領域63Aに対応するときに、前記第1の記憶領域63Aにアクセスし、前記アクセスアドレスが前記第3の記憶領域63Cに対応するときに、前記第3の記憶領域63Cにアクセスする。前記マイクロコンピュータ62は、前記判別結果が前記第2の通信を示す場合は、前記アクセスアドレスが前記第2の記憶領域63Bに対応するときに、前記第2の記憶領域63Bにアクセスし、前記アクセスアドレスが前記第3の記憶領域63Cに対応するときに、前記第3の記憶領域63Cにアクセスする。

【0065】ICカード60において、前記マイクロコンピュータ62は、前記送信コマンドを構成するビットデータに対し、前記判別結果に応じて予め定めた演算処理を施して前記第3または第4のコマンドに変換する構成としてもよい。前記演算処理は、前記送信コマンドを構成するビットデータのうち特定のビットデータを、前記判別結果に応じて書き換える処理を有する構成としてもよい。前記演算処理は、前記送信コマンドを構成するビットデータに対し、前記判別結果に応じて特定の位置にビットデータを挿入する処理を有する構成としてもよい。

【0066】データ磁気信号を検出する検出手段16としては、平面コイル11に代えてホール素子を用い、ホール素子の出力信号をインタフェース回路14に供給する構成としてもよい。この場合は、レスポンス信号の返信用の平面コイルをICカードに設けてもよい。第1のメモリとしては、EEPROM (Electrically Erasable Programmable Read Only Memory) を用いてもよい。カード処理装置としては、リーダライタ (リーダライタ装置) を用いてもよい。プログラム格納領域を有するメモリとしては、前記マイクロコンピュータの内部メモリを用いてもよい。また、上記実施形態は本発明の一例であり、本発明は上記実施形態に限定されない。

【0067】

【発明の効果】本発明の第1のICカードでは、前記アクセス手段と前記抽出手段とをマイコンにより構成したので、マイコンで複雑な演算が可能であり、セキュリティ性を向上することができる。また、アクセス手段は、前記判別手段の判別結果と前記送信コマンドとに基づいて前記第1および第2の記憶領域を有するメモリにアクセスするので、当該メモリに対して前記送信コマンドの

みに基づいてアクセスする場合に比べてセキュリティ性および利便性を向上することができる。

【0068】本発明の第2のICカードでは、前記アクセス手段と前記抽出手段とをマイコンにより構成したので、マイコンで複雑な演算が可能であり、セキュリティ性を向上することができる。また、アクセス手段は、前記判別手段の判別結果と前記送信コマンドとに基づいて前記第1、第2および第3の記憶領域を有するメモリにアクセスするので、当該メモリに対して前記送信コマンドのみに基づいてアクセスする場合に比べてセキュリティ性および利便性を向上することができる。

【図面の簡単な説明】

【図1】メモリ共有型のコンビチップを搭載したICカードの概略ブロック図である。

【図2】メモリ独立型のコンビチップを搭載したICカードの概略ブロック図である。

【図3】マイコン・メモリ共有型のコンビチップを搭載したICカードの概略ブロック図である。

【図4】本発明に係るICカードの一例を示す概略ブロック図である。

【図5】本発明に係るICカードの一例を示す概略ブロック図である。

【図6】本発明に係るICカードの一例を示す概略ブロック図である。

【図7】図7は、図4のICカードを詳しく説明するブロック図である。

【図8】図7のICカードの動作の一例を説明するフローチャートである。

【図9】図7のICカードの動作の一例を説明するフローチャートである。

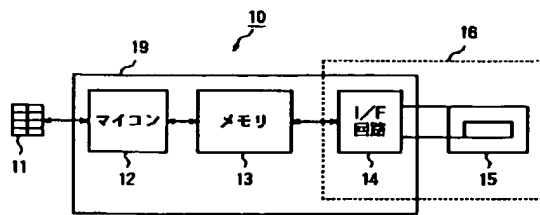
【図10】図7のICカードの動作の一例を説明するフローチャートである。

【図11】ICカードのメモリのアクセス条件の一例を説明する説明図である。

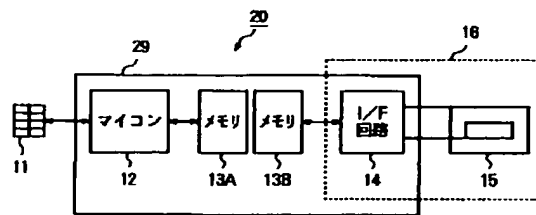
【符号の説明】

10、20、30、40、50、60…ICカード、11…接続端子、12、32、42、52、62…マイコン (マイクロコンピュータ)、13、13A、13B、33…メモリ、14…インタフェース (I/F) 回路、15…平面コイル、16…検出手段、19、29、39、49、59、69…コンビチップ、43、53、63…第1のメモリ、43A、53A、63A…第1の記憶領域、43B、63B…第2の記憶領域、53C、63C…第3の記憶領域、421…抽出手段、422…判別手段、423…アクセス手段。

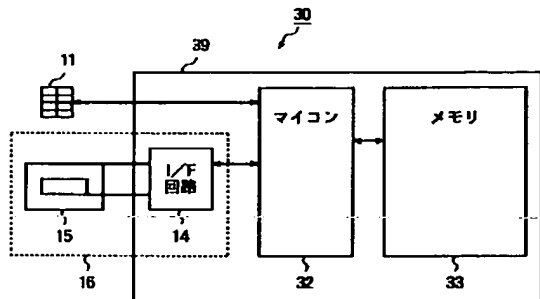
【図1】



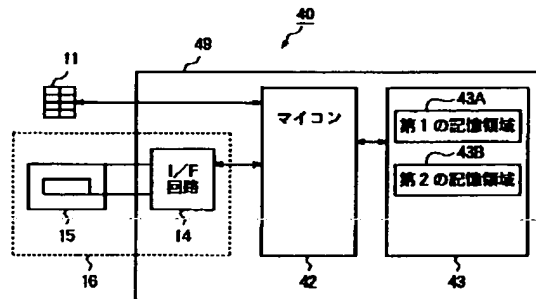
【図2】



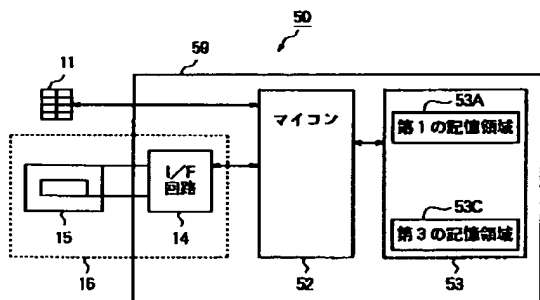
【図3】



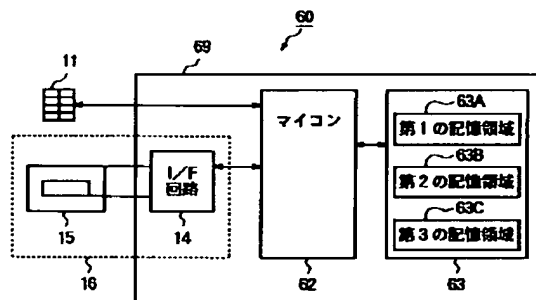
【図4】



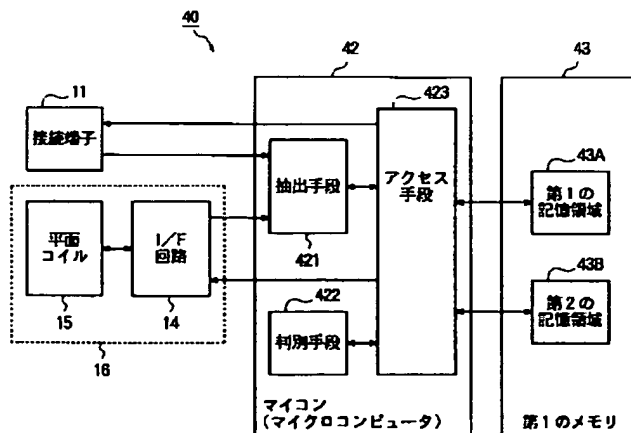
【図5】



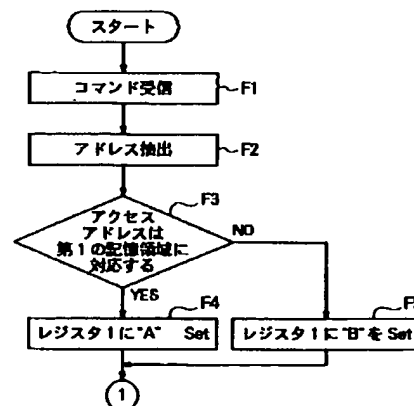
【図6】



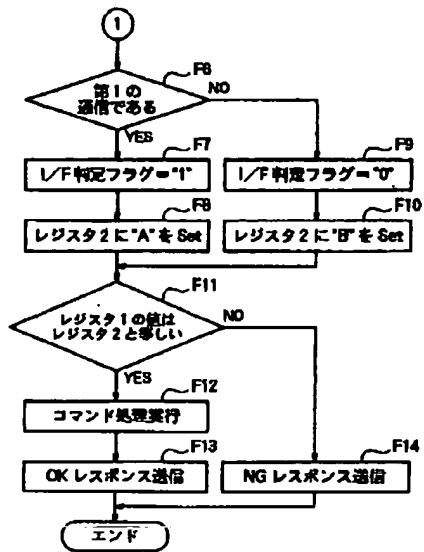
【図7】



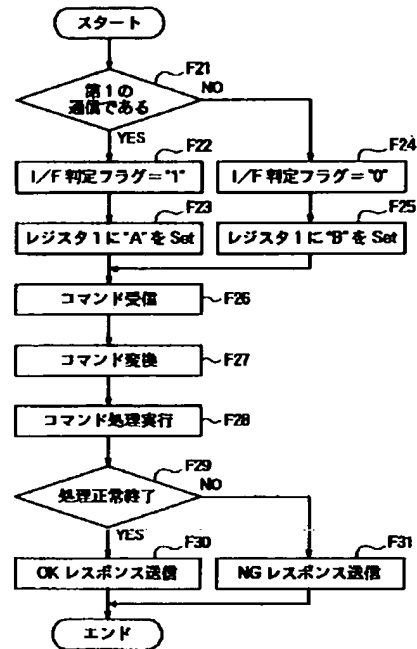
【図8】



【図9】



【図10】



【図11】

送信コマンドの 内容	第1のメモリの アクセスエリア	接続端子を 使用する場合 (第1の通信)	検出手段を 使用する場合 (第2の通信)
リード	第1の記憶領域	○	×
	第2の記憶領域	×	○
	第3の記憶領域	○	○
ライト	第1の記憶領域	○	×
	第2の記憶領域	×	○
	第3の記憶領域	○	×

○ : 処理可能  
 × : 処理不可能

DERWENT-ACC-NO: 2000-371643  
DERWENT-WEEK: 200032  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: IC card for account settlement, discriminates whether communication is enabled with connecting terminal or detector based on which respective memory area accessing is performed according to transmission command

PATENT-ASSIGNEE: DAINIPPON PRINTING CO LTD[NIPQ]

PRIORITY-DATA: 1998JP-0298943 (October 20, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 2000123139	April 28, 2000	N/A
014	G06K 019/07	

A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP2000123139A	N/A	1998JP-0298943
October 20, 1998		

INT-CL (IPC): G06K019/07

ABSTRACTED-PUB-NO: JP2000123139A  
BASIC-ABSTRACT: NOVELTY - An IC card has discriminator (422) to distinguish whether communication is enabled with connecting terminal or detector, to which EM signals transmitted from different card processors, are supplied. A signal extraction unit outputs transmission command, based on signal output from detector and the terminal. Memory areas (43A,43B) are selectively accessed based on discrimination result and the command.

USE - IC card exhibiting both contact and non-contact type IC cards functions

for gate access management in traffic system, account  
settlement application,  
etc.

ADVANTAGE - Since memory accessing is performed based on  
both transmission  
command and communication discrimination result, safe and  
highly efficient  
operation can be performed.

DESCRIPTION OF DRAWING(S) - The figure shows the schematic  
block diagram of IC  
card.

Memory areas 43A,43B

Discriminator 422

CHOSEN-DRAWING: Dwg.4/11

TITLE-TERMS:

IC CARD ACCOUNT SETTLE DISCRIMINATE COMMUNICATE ENABLE  
CONNECT TERMINAL DETECT  
BASED RESPECTIVE MEMORY AREA ACCESS PERFORMANCE ACCORD  
TRANSMISSION COMMAND

DERWENT-CLASS: T04

EPI-CODES: T04-K; T04-K02;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-278668